سوال ۲)

حداقل و حداکثر تاخیر انتشار منطق های ترکیبی در آن نشان داده شده است و ویژگی flip-flopها نیز مشخص است.

tclk-q = 50ps

tsetup = 25ps

thold = 25ps

الف- بیشترین فرکانس کاری بدون ایجاد مشکل برای این کلاک مدار را می‌خواهیم بدست آوریم.

روابط را می‌نویسیم:

FF to FF:

FF1 -> CL1 -> FF2 50 + 300 + 25 = 375

FF2 -> CL2 -> FF3 50 + 275 + 25 = 350

FF to output:

FF3: 50

Input to Flop:

FF1: 25

* Max of (375, 50, 25) = 375
* Max Freq = 1/375 = 2.67 GHz

ب-

Tnd  Tclk-to-q + Tcomp

FF2 => 25 50 + 50

این بخش مشکلی ندارد.

FF3 => 25 50 + 25

این بخش نیز مشکلی ندارد، پس hold violation نداریم اصلاً.